

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Taek-Joon JEON et al.
Application No.: NEW APPLICATION
Filed: AUGUST 21, 2003
For: SEMICONDUCTOR TEST SYSTEM AND METHOD OF OPERATING THE
SAME

PRIORITY LETTER

August 21, 2003

MAIL STOP NEW APPLICATION
COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

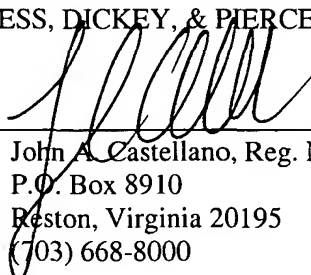
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2002-0081740	December 20, 2002	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By


John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC/jj

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0081740
Application Number

출원년월일 : 2002년 12월 20일
Date of Application DEC 20, 2002

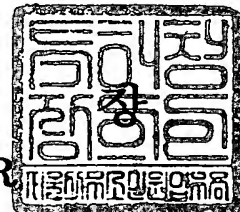
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 25 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2002.12.20
【국제특허분류】	G01R
【발명의 명칭】	반도체 테스트 장치 및 그 구동방법
【발명의 영문명칭】	System for semiconductor test and method for operating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	전택준
【성명의 영문표기】	JEON, Taek Joon
【주민등록번호】	640815-1024810
【우편번호】	330-771
【주소】	충청남도 천안시 신방동 두레현대아파트 103-1104
【국적】	KR
【발명자】	
【성명의 국문표기】	윤재홍
【성명의 영문표기】	YUN, Jae Hong
【주민등록번호】	591107-1644218
【우편번호】	449-846



1020020081740

출력 일자: 2003/3/29

【주소】 경기도 용인시 수지읍 풍덕천리 1167번지 진산마을 삼성5차 520-1604
【국적】 KR
【발명자】
【성명의 국문표기】 김인철
【성명의 영문표기】 KIM, In Cheol
【주민등록번호】 620418-1041616
【우편번호】 330-090
【주소】 충청남도 천안시 쌍용동 848 일성1차 아파트 101-302
【국적】 KR
【발명자】
【성명의 국문표기】 최득순
【성명의 영문표기】 CHOI, Duk Soon
【주민등록번호】 770505-1816617
【우편번호】 336-757
【주소】 충청남도 아산시 실옥동 중부팬더아파트 102-1303
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 18 항 685,000 원
【합계】 716,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

추가적인 고가의 믹스 테스터의 구입 없이, 아날로그 성분 및 로직 성분이 머지된 패키지를 검사할 수 있는 반도체 테스트 장치 및 그 구동방법을 개시한다. 개시된 본 발명은, 로직 성분 및 아날로그 성분을 포함하는 반도체 패키지를 테스트하기 위한 반도체 테스터 장치로서, 테스트될 반도체 패키지를 이송 및 분류하는 핸들러, 상기 핸들러와 마주하는 측벽에 상기 반도체 패키지가 장착되는 테스트 보드를 갖고, 상기 테스트 보드에 장착된 반도체 패키지의 로직 성분을 테스트하는 로직 테스터, 상기 테스트 보드와 전기적으로 연결되며, 상기 로직 테스트시 정상인 반도체 패키지의 아날로그 성분을 테스트하는 아날로그 테스터, 및 상기 아날로그 테스트시 로직 신호를 선택적으로 공급하는 인터페이스 수단을 포함한다.

【대표도】

도 1

【색인어】

믹스 테스터, 핸들러, 로직 테스터, 아날로그 테스터

【명세서】**【발명의 명칭】**

반도체 테스트 장치 및 그 구동방법{System for semiconductor test and method for operating the same}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 반도체 테스트 장치의 블록도이다.

도 2는 본 발명의 로직 테스터에 장착된 테스트 보드를 보여주는 사진이다.

도 3a 및 도 3b는 본 발명의 테스트 보드를 보여주는 사진이다.

도 4는 본 발명의 테스트 보드에 설치되는 로직 테스트 결과를 저장하는 래치부의 회로 다이어그램이다.

도 5는 본 발명에 따른 로직 신호 생성부를 보여주는 블록도이다.

도 6은 본 발명의 반도체 테스트 장치의 동작을 설명하는 플로우차트이다.

(도면의 주요 부분에 대한 부호의 설명)

100 : 핸들러

110 : 로직 테스터

115 : 테스트 보드

116 : 저장부

120 : 아날로그 테스터

130 : 인터페이스부

140 : 로직 신호 생성부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 테스트 장치 및 그 구동 방법에 관한 것으로, 보다 구체적으로는 추가적인 고가의 믹스 테스터의 구입 없이, 아날로그 성분 및 로직 성분이 머지된 패키지를 검사할 수 있는 반도체 테스트 장치 및 그 구동 방법에 관한 것이다.
- <13> 일반적으로 웨이퍼 상태에서 반도체 패키지 형태로 조립이 끝난 반도체 소자는 사용자에게 전달되기 앞서 그 기능을 전기적으로 검사하게 된다. 이를 소위 테스트 공정이란 칭하며, 이러한 테스트 공정은 테스터(tester) 및 핸들러(handler)에 의하여 수행된다.
- <14> 여기서, 테스터는 파형 발생기, 전류/전압 발생기 및 전류/전압 측정등이 내부에 장착되어 있으며, 검사 프로그램에 따라서 반도체 소자의 전기적 기능을 검사한다. 이와 같은 테스터는 아날로그 패키지(analog package)를 검사하는 아날로그 테스터(analog tester)와, 로직(logic) 패키지를 검사하는 로직 테스터, 및 아날로그와 로직이 머지(merge)된 패키지를 검사하는 믹스(mix) 테스터로 구분될 수 있다.
- <15> 한편, 핸들러는 반도체 패키지의 전기적 기능 검사가 자동적으로 진행되도록 도와주는 일종의 로봇으로, 반도체 패키지의 장입 및 반출, 검사 결과에 따른 분류를 수행하는 자동화 장비이다. 이러한 핸들러는 각각의 테스터에 하나씩 설치된다.
- <16> 그러나, 현재에는 로직 성분과 아날로그 성분이 머지된 반도체 디바이스에 대한 요구가 높아지고 있고, 이에따라 두 기능을 모두 검사할 수 있는 믹스 테스터의 요구 또

한 증대되고 있다. 그러나, 이러한 믹스 테스터는 20여억원에 이르는 고가이므로, 믹스 테스터 장비를 추가로 구입하는 것은 제조 공비를 증대시키는 원인이 된다.

<17> 한편, 믹스 테스터의 요구는 증대되는 반면, 아날로그 패키지 또는 로직 패키지만을 개별적으로 검사하는 아날로그 테스터 및 로직 테스터는 많이 사용하지 않고 있으므로, 장비 이용 효율이 낮은 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 추가적인 고가의 믹스 테스터의 구입 없이, 아날로그 성분 및 로직 성분이 머지된 패키지를 검사할 수 있는 반도체 테스트 장치를 제공하는 것이다.

<19> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기한 반도체 테스트 장치의 구동 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<20> 상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 로직 성분 및 아날로그 성분을 포함하는 반도체 패키지를 테스트하기 위한 반도체 테스터 장치는, 테스트될 반도체 패키지를 이송 및 분류하는 핸들러, 상기 핸들러로부터 테스트될 반도체 패키지를 공급받으며, 상기 반도체 패키지의 로직 성분을 테스트하는 로직 테스터, 상기 로직 테스터와 전기적으로 연결되며, 상기 로직 테스터를 수행한 반도체 패키지의 아날로그 성분을 테스트하는 아날로그 테스터, 및 상기 아날로그 테스트시 로직 테스트 분위기를 선택적으로 조성하는 인터페이스 수단을 포함한다.

- <21> 또한, 본 발명의 다른 실시예에 따른 로직 성분 및 아날로그 성분을 포함하는 반도체 패키지를 테스트하기 위한 반도체 테스터 장치는, 테스트될 반도체 패키지를 이송 및 분류하는 핸들러, 상기 핸들러와 마주하는 측벽에 상기 반도체 패키지가 장착되는 테스트 보드를 갖고, 상기 테스트 보드에 장착된 반도체 패키지의 로직 성분을 테스트하는 로직 테스터, 상기 테스트 보드와 전기적으로 연결되며, 상기 로직 테스트시 정상인 반도체 패키지의 아날로그 성분을 테스트하는 아날로그 테스터, 및 상기 아날로그 테스트시 로직 신호를 선택적으로 공급하는 인터페이스 수단을 포함한다.
- <22> 상기 핸들러는 상기 로직 테스터 및 상기 아날로그 테스터에 동작 및 중단 신호를 제공한다. 상기 테스터 보드의 일측면에는 상기 반도체 패키지의 로직 성분과 연결되는 로직 단자 및 상기 반도체 패키지의 아날로그 성분과 연결되는 더 설치될 수 있다. 이때, 상기 아날로그 테스터는 상기 테스트 보드의 아날로그 단자와 전기적으로 연결된다.
- <23> 상기 테스트 보드의 타측면에는 상기 로직 테스터의 테스트 결과를 저장하는 저장부가 더 설치될 수 있으며, 상기 저장부는 래치(latch) 회로일 수 있다.
- <24> 상기 인터페이스 수단은 상기 아날로그 테스터에 로직 신호를 선택적으로 제공하는 MCU를 더 포함할 수 있다.
- <25> 또한, 본 발명의 다른 견지에 따른 반도체 테스트 장치의 구동 방법은 다음과 같다. 먼저, 핸들러에 의하여 로직 테스터의 보드에 반도체 패키지를 장착한다. 그후, 상기 핸들러로부터 로직 테스터를 구동시켜, 상기 반도체 패키지의 로직 성분을 테스트한다음, 상기 반도체 패키지의 로직 테스트 결과를 저장한다. 그리고 나서, 상기 로직 테스터의 구동을 멈추고, 상기 아날로그 테스터를 구동시킨다. 그 다음, 상기 반도체 패키지의 로직 테스트 결과가 정상인지 또는 불량인지를 판별한다. 이때, 상기 반도체 패키지의

로직 테스트 결과가 정상이면, 상기 반도체 패키지를 아날로그 성분을 아날로그 테스터에 의하여 테스트하고, 상기 반도체 패키지의 로직 테스트 결과가 불량이면, 상기 반도체 패키지를 불량으로 분류한다. 끝으로, 상기 아날로그 테스트된 반도체 패키지를 정상 또는 불량으로 분류한다음, 아날로그 테스터를 오프시킨다.

<26> 이때, 상기 반도체 패키지의 아날로그 성분을 테스트하는 동안, 로직 신호를 공급하면서 아날로그 테스트를 수행할 수 있다.

<27> 본 발명의 목적과 더불어 그의 다른 목적 및 신규한 특징은, 본 명세서의 기재 및 첨부 도면에 의하여 명료해질 것이다.

<28> (실시예)

<29> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

<30> 본 발명의 테스트 장치는 도 1에 도시된 바와 같이, 핸들러(100), 로직 테스터(110), 아날로그 테스터(120) 및 인터페이스부(interface part:130)를 포함한다.

<31> 핸들러(100)는 검사될 반도체 패키지를 테스터(110,120)로 장입 및 반출시키는 역할을 하며, 양질의 패키지와 불량 발생된 패키지를 분류한다. 또한, 핸들러(100)는 로

직 테스터(110) 및 아날로그 테스터(120)를 구동 또는 중단시키는 신호를 송출하여, 로직 테스터(110) 및 아날로그 테스터(120)의 동작을 제어한다. 본 실시예의 하나의 핸들러(100)를 사용하여 두 개의 테스터를 제어하므로써, 제조 장비의 구성을 단순화시킬 수 있다. 또한, 본 실시예에서의 핸들러(100)는 일반적인 로직 테스터(110)의 핸들러를 이용할 수 있다.

<32> 로직 테스터(110)는 핸들러(100)로부터 이송되어진 반도체 패키지의 로직 성분이 정상적으로 형성되었는지를 검사한다. 이러한 로직 테스터(110)는 반도체 패키지가 장착되어질 테스트 보드(115)를 포함하는데, 본 실시예의 테스트 보드(115)는 로직 성분 단자들은 물론 아날로그 성분 단자들을 포함한다.

<33> 즉, 도 2는 로직 테스터(110)의 일측벽에 테스트 보드(115)가 장착된 사진으로, 테스트 보드(115)는 핸들러(100)와 마주하는 로직 테스터(110)의 측벽에 설치된다.

<34> 도 3a는 본 발명의 테스트 보드(115)의 앞면을 보여주는 사진으로서, 테스트 보드(115)의 앞면(일측면) 상부에는 아날로그 단자(a)들이 구비되어 있고, 하부에는 로직 단자(b)가 구비된다. 또한, 아날로그 단자(a)와 로직 단자(b) 사이의 중앙에는 반도체 패키지(10)가 장착된다. 이때, 아날로그 단자(a)들은 이후에 설명될 아날로그 테스터(120)와 전기적으로 연결되어 있으며, 로직 단자(b)는 로직 테스터(110)와 전기적으로 연결된다. 한편, 도 3b는 본 발명의 테스트 보드(115)의 뒷면(타측면)을 보여주는 사진으로, 테스트 보드(115)의 뒷면에는 반도체 패키지(10)의 로직 테스터의 결과를 저장하는 저장부(116)가 설치된다.

<35> 로직 테스터(110)의 결과를 저장하는 저장부(116)는 래치(latch) 소자로서, 예컨대, 75LS74(D-플립플롭)를 사용할 수 있으며, 도 4와 같은 회로 다이어그램을 갖는

다. 본 실시예에서는, 래치 소자의 출력(1Q)에 "로우(L)" 신호(0 내지 0.5V)가 독출되면 반도체 패키지의 로직 테스트 결과가 정상(P:pass)임을 나타내고, "하이(H)" 신호(4 내지 4.5V)가 독출되면 반도체 패키지의 로직 테스트 결과가 불량임을 나타내도록, 래치 소자를 설계한다(도 4 참조). 아울러, 래치 소자 내부의 저항(R)은 반도체 패키지의 로직 테스트 결과를 유지시키기 위하여 제공된다.

<36> 한편, 아날로그 테스터(120)는 반도체 패키지(10)의 아날로그 성분이 정상적으로 형성되었는지를 검사하며, 로직 테스터(110)와 커넥터(connector:도시되지 않음)에 의하여 연결된다. 바람직하게는 상기 커넥터는 로직 테스터(110)에 장착된 테스트 보드(115)의 아날로그 단자(a)와 연결된다. 이러한 아날로그 테스터(120)는 핸들러(100)로부터 시작 신호를 인가받아 동작된다. 이때, 아날로그 테스터(120)는 로직 테스트 결과 양질의 패키지(10)라고 결정된 패키지(10)만을 아날로그 테스트한다.

<37> 인터페이스부(130)는 로직 테스터(110)와 아날로그 테스터(120)간을 인터페이스 시킨다. 이와같은 인터페이스부(130)는 로직 신호 생성부(135)를 포함한다. 로직 신호 생성부(135)는 로직 테스트와 아날로그 테스트를 동시에 필요로 하는 테스트시, 로직 신호를 제공한다. 즉, 일반적인 로직 테스터(110)와 아날로그 테스터(120)는 개별적으로 위치하고, 로직 테스터(110)와 아날로그 테스터(120)가 선택적으로 구동됨에 따라, 로직 테스트 및 아날로그 테스트를 동시에 요하는 아이템(item)을 테스트하기 어렵다. 하지만, 아날로그 테스트시, 로직 테스트 환경을 조성한다면, 즉, 아날로그 테스트시 로직 신호를 공급한다면, 로직 테스트와 아날로그 테스트를 동시에 수행할 수 있으므로, 본 실시예에서는 아날로그 테스트 공정시 로직 신호를 공급하는 로직 신호 생성부(135)를 인터페이스부(135)에 설치한다.

- <38> 로직 신호 생성부(135)는 도 5에 도시된 바와 같이, 예를 들어 MCU(multi-point control unit)일 수 있으며, 이러한 MCU는 제어 블록(210), 중앙처리장치(220), 롬(230), 램(240) 및 다수의 핀(P0-P4, BT,OCS,T0,T1,ADC,UART,BUZ)을 포함할 수 있다.
- <39> 이와같은 구성을 갖는 반도체 테스터 장비의 구동방법을 도 6을 참조하여 설명한다.
- <40> 먼저, 테스트가 진행될 디바이스 즉, 반도체 패키지(10)를 핸들러(100)를 이용하여 테스트 보드(115)에 장착한다(S1). 이때, 반도체 패키지(10)는 로직 성분과 아날로그 성분을 모두 가질 수 있다. 그후, 핸들러(100)는 로직 테스터(110)가 구동되도록 시작 신호(SOT:start of test)를 출력하여(S2) 로직 테스터(110)를 구동시킨다. 이에따라, 테스트 보드(115)에 장착된 반도체 패키지(10)의 로직 성분이 로직 테스트된다(S3). 로직 테스트가 완료되면, 반도체 패키지(10)의 로직 성분이 정상인지 또는 불량인지를 상기 테스트 보드(115)에 설치된 저장부(116)에 저장하고(S4), 핸들러(100)는 로직 테스터(110)의 동작을 중단시키는 신호(EOT:end of test)를 출력하여(S5), 로직 테스터(110)를 오프시킨다. 연이어, 핸들러(100)는 아날로그 테스터(120)가 구동되도록 시작 신호(SOT)를 출력한다(S6). 이때, 반도체 패키지(10)의 아날로그 성분을 테스트하기 전에, 우선적으로 반도체 패키지(10)의 로직 성분이 정상인가를 상기 저장부(116)를 통하여 확인한다(S7). 상술한 바와 같이, 저장부(116)의 출력(1Q)이 "로우"이면, 정상이라고 판단하고, 반도체 패키지(10)를 아날로그 테스트한다음(S8), 테스트된 반도체 패키지(10)를 핸들러(100)에 의하여 정상 또는 불량으로 분류한다(S9). 한편, 저장부(116)의 출력(1Q)이 "하이"이면, 불량으로 판단하여 반도체 패키지(10)를 아날로그 테스트할 필요 없이 불량으로 분류한다(S9). 그후, 핸들러(100)는 아날로그 테스터의 동작을 중단하는 신

호(EOT)를 출력하여, 아날로그 테스터(120)를 오프시킨다. 여기서, 반도체 패키지의 아날로그 테스트 동작시, 로직 신호가 필요한 테스트인 경우, 로직 신호 생성부(135)로부터 로직 신호를 제공한다.

【발명의 효과】

- <41> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 기존에 자주 사용하지 않는 로직 테스터 및 아날로그 테스터를 하나의 핸들러에 의하여 통합시키고, 로직 테스터 및 아날로그 테스터 사이에 로직 신호를 제공하는 인터페이스부를 설치한다. 이에따라, 로직 성분 및 아날로그 성분이 머지된 반도체 패키지를 용이하게 테스트할 수 있으며, 하나의 핸들러를 사용하므로써, 장비의 구성을 단순화시킬 수 있다.
- <42> 아울러, 로직 테스트 및 아날로그 테스트를 동시에 요구하는 테스트일 경우, 인터페이스부로부터 로직 신호를 제공하면서 아날로그 테스트를 수행할 수 있어, 별도의 로직 테스터 및 아날로그 테스터를 사용하여도 로직 및 아날로그 테스트를 동시에 진행할 수 있다.
- <43> 이에따라, 고가의 믹스 테스터를 추가로 구입할 필요가 없으므로, 제조 공비를 낮출 수 있다.
- <44> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

로직 성분 및 아날로그 성분을 포함하는 반도체 패키지를 테스트하기 위한 반도체 테스터 장치로서,

테스트될 반도체 패키지를 이송 및 분류하는 핸들러;

상기 핸들러로부터 테스트될 반도체 패키지를 공급받으며, 상기 반도체 패키지의 로직 성분을 테스트하는 로직 테스터;

상기 로직 테스터와 전기적으로 연결되며, 상기 로직 테스터를 수행한 반도체 패키지의 아날로그 성분을 테스트하는 아날로그 테스터; 및

상기 아날로그 테스트시 로직 테스트 분위기를 선택적으로 조성하는 인터페이스 수단을 포함하는 반도체 테스트 장치.

【청구항 2】

제 1 항에 있어서, 상기 핸들러는 상기 로직 테스터와 일측벽과 마주하며, 상기 로직 테스터 및 아날로그 테스터의 동작 및 중단을 제어하는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 3】

제 1 항에 있어서, 상기 핸들러와 상기 로직 테스터 사이의 일측벽에 형성되며, 상기 반도체 패키지가 장착되는 테스트 보드를 더 포함하는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 4】

제 3 항에 있어서, 상기 테스터 보드의 일측면에는 상기 반도체 패키지의 로직 성분과 연결되는 로직 단자 및 상기 반도체 패키지의 아날로그 성분과 연결되는 아날로그 단자가 더 설치되는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 5】

제 4 항에 있어서, 상기 아날로그 테스터는 상기 테스트 보드의 아날로그 단자와 전기적으로 연결되는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 6】

제 3 항에 있어서, 상기 테스트 보드의 타측면에는 상기 로직 테스터의 테스트 결과를 저장하는 저장부가 더 설치되는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 7】

제 6 항에 있어서, 상기 저장부는 래치(latch) 회로인 것을 특징으로 하는 반도체 테스트 장치.

【청구항 8】

제 1 항에 있어서, 상기 인터페이스 수단은, 상기 아날로그 테스터의 동작시, 로직 신호를 선택적으로 제공하는 로직 신호 생성부를 더 포함하는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 9】

제 8 항에 있어서, 상기 로직 신호 생성부는 MCU(multi point control unit)인 것을 특징으로 하는 반도체 테스트 장치.

【청구항 10】

로직 성분 및 아날로그 성분을 포함하는 반도체 패키지를 테스트하기 위한 반도체 테스터 장치로서,

테스트될 반도체 패키지를 이송 및 분류하는 핸들러;

상기 핸들러와 마주하는 측벽에 상기 반도체 패키지가 장착되는 테스트 보드를 갖고, 상기 테스트 보드에 장착된 반도체 패키지의 로직 성분을 테스트하는 로직 테스터;

상기 테스트 보드와 전기적으로 연결되며, 상기 로직 테스트시 정상인 반도체 패키지의 아날로그 성분을 테스트하는 아날로그 테스터; 및

상기 아날로그 테스트시 로직 신호를 선택적으로 공급하는 인터페이스 수단을 포함하는 반도체 테스트 장치.

【청구항 11】

제 10 항에 있어서, 상기 핸들러는 상기 로직 테스터 및 상기 아날로그 테스터에 동작 및 중단 신호를 제공하는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 12】

제 10 항에 있어서, 상기 테스트 보드의 일측면에는 상기 반도체 패키지의 로직 성분과 연결되는 로직 단자 및 상기 반도체 패키지의 아날로그 성분과 연결되는 더 설치되는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 13】

제 12 항에 있어서, 상기 아날로그 테스터는 상기 테스트 보드의 아날로그 단자와 전기적으로 연결되는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 14】

제 12 항에 있어서, 상기 테스트 보드의 타측면에는 상기 로직 테스터의 테스트 결과를 저장하는 저장부가 더 설치되는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 15】

제 14 항에 있어서, 상기 저장부는 래치(latch) 회로인 것을 특징으로 하는 반도체 테스트 장치.

【청구항 16】

제 10 항에 있어서, 상기 인터페이스 수단은 상기 아날로그 테스터에 로직 신호를 선택적으로 제공하는 MCU를 더 포함하는 것을 특징으로 하는 반도체 테스트 장치.

【청구항 17】

반도체 패키지의 로직 성분을 테스트하는 로직 테스터 및 반도체 패키지의 아날로그 성분을 테스트하는 아날로그 테스터 및 상기 로직 테스터 및 아날로그 테스터를 제어하는 핸들러를 포함하는 반도체 테스터의 제조방법으로서,

상기 핸들러에 의하여 로직 테스터의 보드에 반도체 패키지를 장착하는 단계;

상기 핸들러로부터 로직 테스터를 구동시켜, 상기 반도체 패키지의 로직 성분을 테스트하는 단계;

상기 반도체 패키지의 로직 테스트 결과를 저장하는 단계;

상기 로직 테스터의 구동을 멈추고, 상기 아날로그 테스터를 구동시키는 단계;

상기 반도체 패키지의 로직 테스트 결과가 정상인지 또는 불량인지를 판별하는 단계;

상기 반도체 패키지의 로직 테스트 결과가 정상이면, 상기 반도체 패키지를 아날로그 성분을 아날로그 테스터에 의하여 테스트하고, 상기 반도체 패키지의 로직 테스트 결과가 불량이면, 상기 반도체 패키지를 불량으로 분류하는 단계;

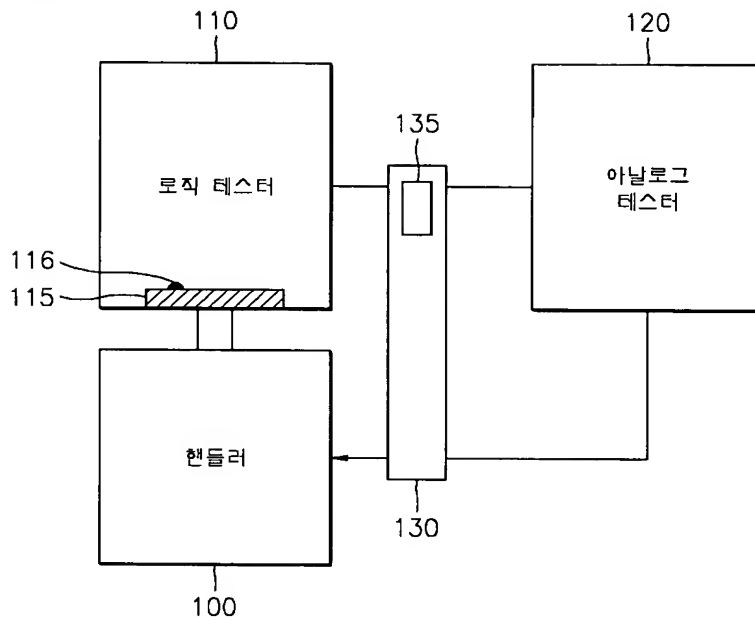
상기 아날로그 테스트된 반도체 패키지를 정상 또는 불량으로 분류하는 단계; 및
상기 아날로그 테스터를 오프시키는 단계를 포함하는 것을 특징으로 하는 반도체 테스트 장치의 구동방법.

【청구항 18】

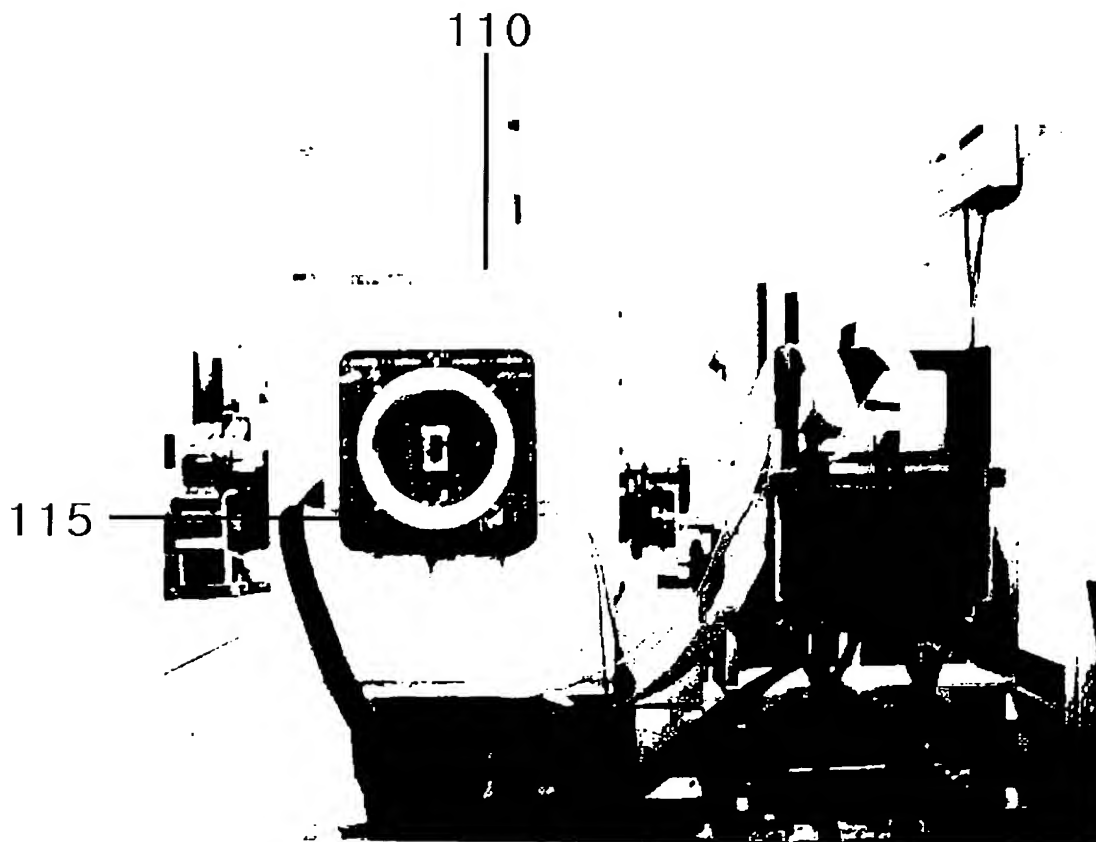
제 17 항에 있어서, 상기 반도체 패키지의 아날로그 성분을 테스트하는 동안, 로직 신호를 공급하면서 진행하는 것을 특징으로 하는 반도체 테스트 장치의 구동방법.

【도면】

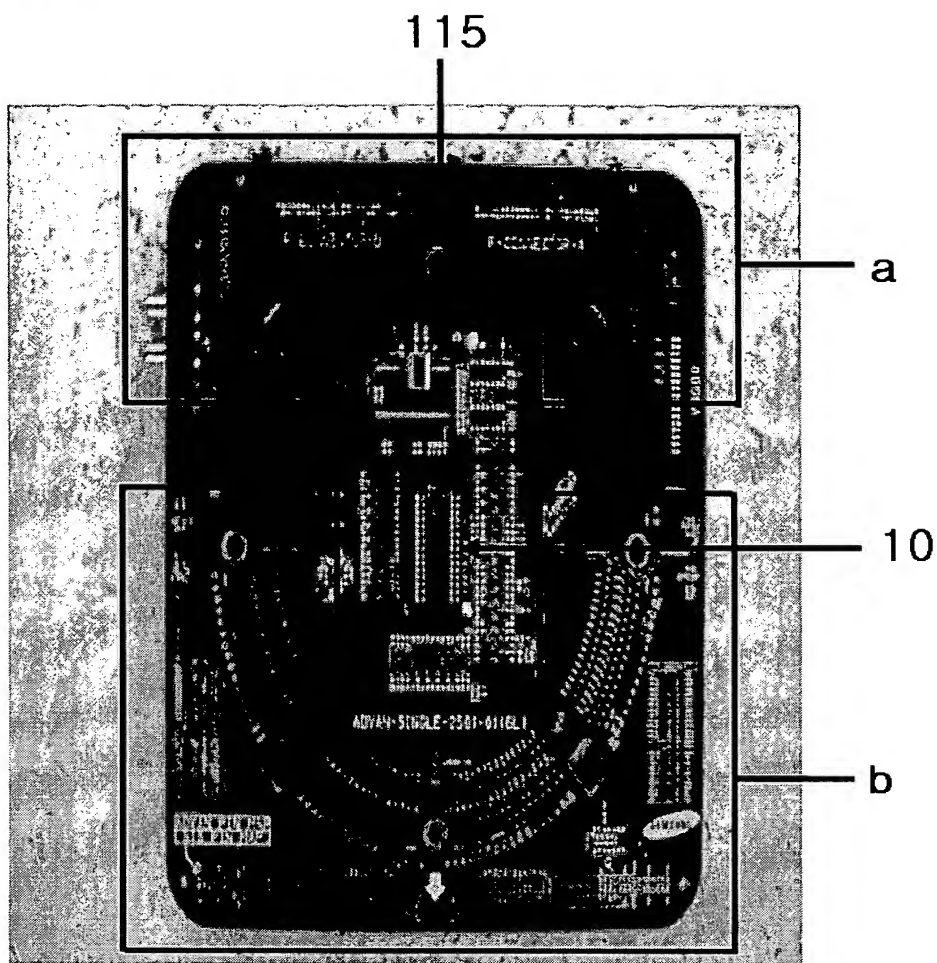
【도 1】



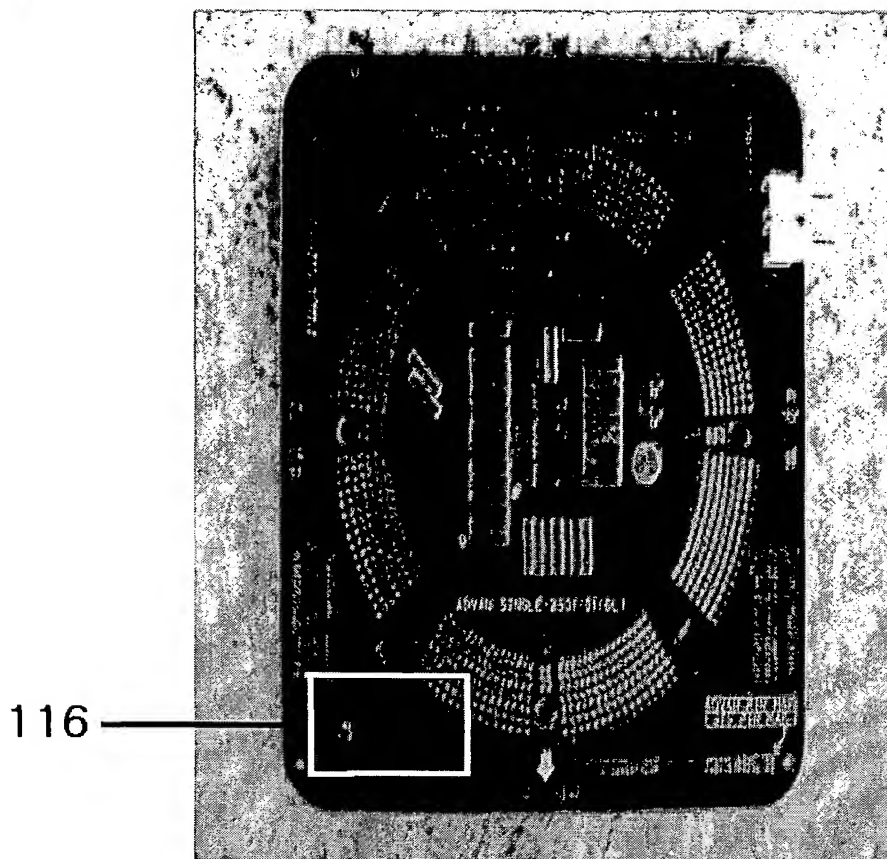
【도 2】



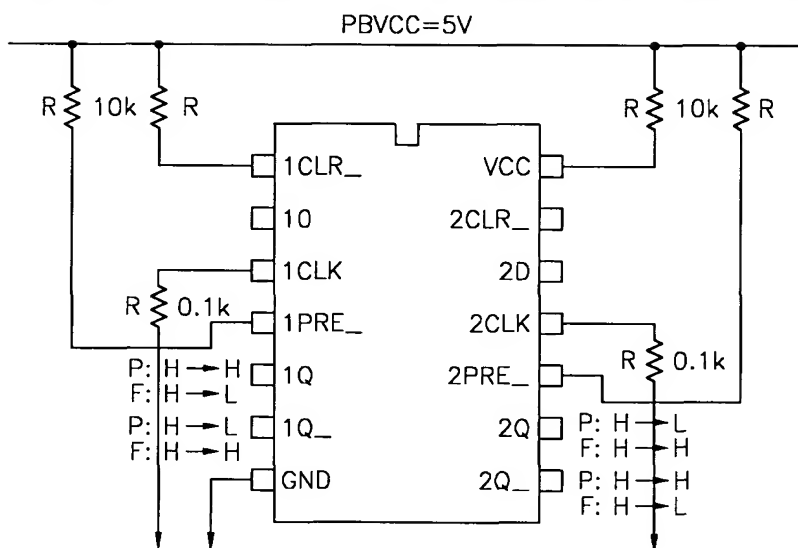
【도 3a】



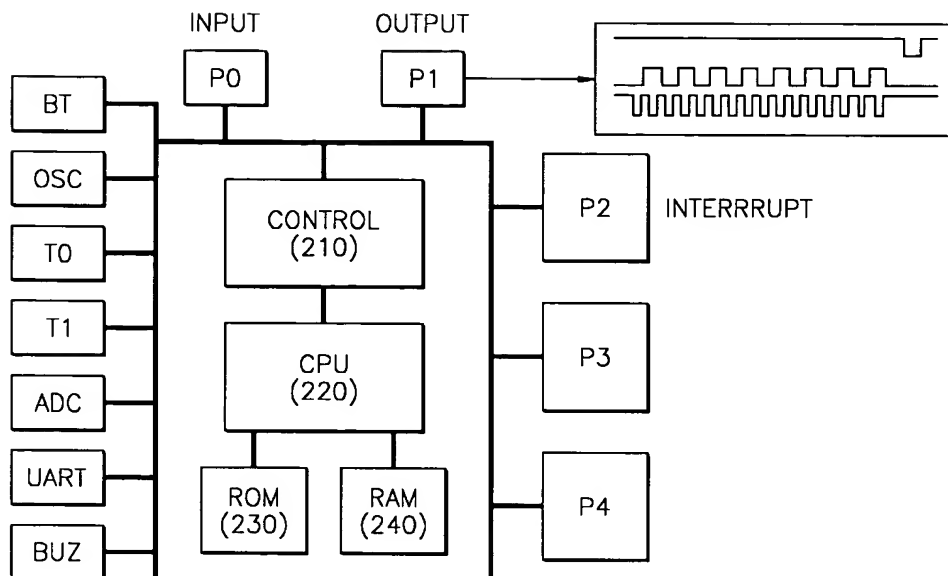
【도 3b】



【도 4】



【도 5】



【도 6】

